

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-139669

(43)Date of publication of application : 29.05.1990

(51)Int.Cl.

G06F 15/60
H01L 25/04
H01L 25/18

(21)Application number : 63-292283

(71)Applicant : MITSUBISHI MINING & CEMENT CO LTD

(22)Date of filing : 21.11.1988

(72)Inventor : NOSE TSUNETARO

(54) METHOD FOR DESIGNING HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To shorten a development period and to reduce designing difficulty at a user side by previously forming a standard packaged circuit substrate accordant with a specific standard, measuring the electric characteristic of this substrate, and inputting the measured electric characteristic to the data base of a computer.

CONSTITUTION: When the standard substrate is formed, which can be formed from the outside dimension of a substrate for the title hybrid integrated circuit, namely, the outside dimension in which a width W, length L, and a thickness (t) are respectively expressed with either the integer multiple or the 1/integer of 2.54mm, the standard packaged circuit substrate is formed by forming the maximum number of circuits for this standard substrate, and the outside dimension of the standard packaged circuit substrate is set to the one having the width W, the length L, and a height H, the above-mentioned W, L, and H are expressed with the multiples of 2.54, and the electric characteristics of the circuits on the standard packaged circuit substrate are measured. Further, the respective conditions of the packaged circuits, electronic parts, patterns, processes, etc., the outside dimension of the standard packaged circuit substrate, the electric characteristics of the circuits are respectively inputted to the data base of the computer and made into a hierarchical structure. Thus, the development period can be shortened, and the designing difficulty at the user side can be reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-139669

⑬ Int. Cl.⁵

G 06 F 15/60
H 01 L 25/04
25/18

識別記号

3 7 0 A

庁内整理番号

8125-5B

⑭ 公開 平成2年(1990)5月29日

7638-5F H 01 L 25/04

Z

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 混成集積回路化設計する方法

⑯ 特 願 昭63-292283

⑰ 出 願 昭63(1988)11月21日

⑱ 発 明 者 能 勢 恒 太 郎 埼玉県秩父郡横瀬町大字横瀬2270番地 三菱鉱業セメント株式会社セラミックス研究所内

⑲ 出 願 人 三菱鉱業セメント株式 東京都千代田区丸の内1丁目5番1号
会社

⑳ 代 理 人 弁理士 中島 幹雄 外1名

明 細 書

1. 発明の名称

混成集積回路化設計する方法

2. 特許請求の範囲

混成集積回路化設計時に、コンピュータのデータ・ベースから混成集積回路化設計に必要な標準実装回路基板を複数取り出し、それらを組合せることから成る混成集積回路化設計する方法において、予め

(a) 混成集積回路用の基板の外径寸法を幅W、長さLおよび厚さtとした場合、

$$W = 2.54mm \times n \text{ または } W = 2.54mm \times n^{-1}$$

$$L = 2.54mm \times m \text{ または } L = 2.54mm \times m^{-1}$$

$$t = 2.54mm \times d \text{ または } t = 2.54mm \times d^{-1}$$

(但し、式中、n、m、dは正の整数である。)で表される外径寸法から形成し得る標準基板を作製し、

(b) 該標準基板に、できるだけ多くの回路を形成して標準実装回路基板を作製し、該標準実装回路基板の外径寸法を幅W、長さL、高さHとした

場合、W、L、Hを2.54倍で表し、該標準実装回路基板上の回路の電気的特性を測定し、

(c) また該標準実装回路基板に実装されている回路、電子部品、パターン、プロセス等の条件を決定し、

(e) 前記の(b)の外径寸法、(b)の回路の電気的特性および(c)の各条件をそれぞれコンピュータのデータ・ベースに入力すると共に階層構造としておくことを特徴とする混成集積回路化設計する方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、混成集積回路化設計する方法に関するものであり、更に詳しくは納期が短縮でき、しかも熟練を要せずに混成集積回路化設計することができるばかりでなく、多品種少量生産、開発試作用、量産用に自由に変更することができる混成集積回路化設計する方法に関するものである。

[従来の技術]

従来、混成集積回路は、絶縁基板上に種々の電

子部品を取り付け、電子回路を厚膜技術又は薄膜技術を用いて形成し、これにパッケージを施したもので、1個の機能的部品としてのイメージを有するものであった。そしてこの混成集積回路は、モノリシック集積回路や他の部品と共にプリント基板上に実装して使用していた。

従来、ユーザーが混成集積回路メーカーに回路の混成集積回路化を依頼する場合、ユーザー側が回路設計、検証等を行い、それに基づいてメーカー側が混成集積回路化設計を担当する、いわゆるOEM(相手先ブランドによる製造)が広く行われている。具体的には、第5図に示されるように、混成集積回路化設計に際して、ユーザー側が①機能仕様、②回路設計、③回路検証を行い、ついでメーカー側では、④混成集積回路化設計、⑤プロトタイプ作製及び試作、⑥機能確認、⑦量産試作または量産を行うことからなる。

ユーザー側が行う回路検証では、回路設計時、最終的にバラック実験、ブレッドボードテストと呼ばれる回路動作の検証や温度の影響等について

て調査される。

最近、回路規模が大規模化してくる傾向にあり、そのような場合、集積回路化において、いかにモノリシック集積回路にまとめて部品点数を減らすかということが行われている。

[発明が解決しようとする問題点]

しかしながら、大規模化した回路の場合には、ユーザー側が行う回路検証において、実験の進め方や結果の判断等に対する設計者に熟練が益々必要となり、ユーザー側においても十分な対応が困難となってきた。

また回路規模が大きくなってくると、混成集積回路を全て作りあげてからでは、回路機能の故障ないし不良が発生して信頼性の低下が起った場合、その故障解析や原因追求、さらにはその改善ならびに予防対策が非常に困難になってきた。

さらにモノリシック集積回路化は、技術的に可能であってもコスト高となり、経済的に不利となることが多い。

以上のことからみて、OEMの場合は、開発期

間が長く、また開発費用が多くかかる等の問題があった。

またメーカー側が標準品として回路から設計する場合も同様のことが言える。

そこで、本発明者は、前記の問題点に鑑み、開発期間の短縮を主に種々検討を重ねた結果、標準実装回路基板を用いて混成集積回路化設計を行うことにより解決されることを見出し、これに基づいて本発明はなされたものである。

したがって、本発明の第1の目的は、開発期間を短縮すると共に、ユーザー側の設計難度を軽減することができる混成集積回路化設計する方法を提供することにある。

また本発明の第2の目的は、回路どうしの組合せにより大規模混成集積回路の歩留まりを向上することができる混成集積回路化設計する方法を提供することにある。

[問題点を解決するための手段]

したがって、本発明の前記目的は、混成集積回路化設計時に、コンピュータのデータ・ベースか

ら混成集積回路化設計に必要な標準実装回路基板を複数取り出し、それらを組合せることから成る混成集積回路化設計する方法において、予め

(a) 混成集積回路用の基板の外径寸法を幅W、長さLおよび厚さtとした場合、

$$W = 2.54mm \times n \text{ または } W = 2.54mm \times n^{-1}$$

$$L = 2.54mm \times m \text{ または } L = 2.54mm \times m^{-1}$$

$$t = 2.54mm \times d \text{ または } t = 2.54mm \times d^{-1}$$

(但し、式中、n、m、dは正の整数である。)で表される外径寸法から形成し得る標準基板を作製し、

(b) 該標準基板に、できるだけ多くの回路を形成して標準実装回路基板を作製し、該標準実装回路基板の外径寸法を幅W、長さL、高さHとした場合、W、L、Hを2.54倍で表し、該標準実装回路基板上の回路の電気的特性を測定し、

(c) また該標準実装回路基板に実装されている回路、電子部品、パターン、プロセス等の条件を決定し、

(e) 前記の(b)の外径寸法、(b)の回路の

電気的特性および(c)の各条件をそれぞれコンピュータのデータ・ベースに入力すると共に階層構造としておくことを特徴とする混成集積回路化設計する方法によって達成された。

次に本発明を更に具体的に説明する。

第1図は、本発明の混成集積回路化設計の際の作業工程図であり、まずメーカー側は、予め(1)機能仕様、(2)回路設計、(3)回路検証を行い、ついで(4)標準実装回路基板の設計、(5)試作(6)機能確認を行い、これらの情報(または条件ともいう。)をコンピュータのデータ・ベースに入力しておく。

ユーザー側は、(7)機能仕様に従い、(8)回路の選択とこれらの組合せを行い、メーカー側に依頼する。

メーカー側は、それに基づいて(9)プロトタイプ製作・試作、(10)機能確認、(11)量産試作または量産を行うこととなる。

本発明で用いられる標準実装回路基板とは、厚膜基板上にベアチップ等の部品を実装し、回路と

イチ、オペアンプ回路、バッファ等のアナログ回路やデジタル回路等)、部品の種類(例えばモノリシック集積回路、トランジスタ、ダイオード、チップコンデンサ、抵抗等)、パターン、外径寸法、プロセス等の条件を決定し、これらをコンピュータのデータ・ベースに入力しておく。このような入力しておく回路としては、特に高精度アナログ回路が好ましい。

この条件としては、具体的に回路または回路図、回路定数、部品、材料、パターンまたはパターン図、工程、これらの利用技術および利用技術の条件(例えば温度、時間、装置等)が挙げられる。

前記の部品やプロセス等は、通常、混成集積回路技術において慣用されている方法等が使用され、得られた回路の電気的検査は、プローブやプローブカードを利用し、プロービングして測定することができる。

以上のようにして得られた標準実装回路基板は、モノリシック集積回路のベアチップと同じよ

うして完成した回路基板、即ち実装回路基板の外径寸法を標準化したものであり、標準化は、具体的に実装回路基板の外径寸法を幅W、長さLおよび高さHとした場合、

$$W = 2.54mm \times n \text{ または } W = 2.54mm \times n^{-1}$$

$$L = 2.54mm \times m \text{ または } L = 2.54mm \times m^{-1}$$

$$H = 2.54mm \times l \text{ または } H = 2.54mm \times l^{-1}$$

(ただし、n、m、lは正の整数である。)で表したものである。

これにより各種の種類分けされた外径寸法で標準化されたものが得られる。

この標準実装回路基板のデータは、該基板に形成された回路を中心にコンピュータ上で階層構造のファイルにしておく。

すなわち、この標準実装回路基板には、形成することができる、できるだけ多くの回路とその回路機能を測定し、更にこの回路の種類、例えば頻繁に使用されるアナログ回路やデジタル回路等の回路(例えば、ダイオードアレイ、ダイオードブリッジ、エミッターフォロワー、インバータ、ス

うな状態のもので、パッケージを施していないだけであって、回路機能的には完成しているものである。即ち従来の混成集積回路における半完成品を電気的特性や外径寸法を標準化したものである。

またこの標準実装回路基板は、これらを電気的に組合せることにより、大規模な回路を構成することができ、さらに個々の標準実装回路基板は、既存の全ての種類のパッケージ(SIP、PGA、QFP、CLCC等)に個別に完成することもできる。また大型のパッケージ、例えば1インチ×1インチあるいは1インチ×2インチの外径寸法のパッケージ等上でタイルを配置する如く隣合せて配置したり、他の基板(本基板や従来の混成集積回路基板等)上に搭載してたり、さらには多段に積み重ねたりする構造にして、これらの標準実装回路基板間を配線することができる。

本発明で用いられる標準実装回路基板は、これらを組合せることによって、回路を形成して、プロトタイプ用や多品種少量品ないし試作品の作製

に利用することができるが、量産時には、コンピュータのデータ・ベースのデータを用いて基本的に1枚の基板からなる従来の混成集積回路の基板に変換することができる。

本発明の混成集積回路化設計する方法は、光集積回路、パワーIC、高周波IC、計測IC、アナログ・デジタル混在IC等の用途に広く応用することができる。

〔作用〕

本発明は、標準実装回路基板を作製し得る条件をコンピュータのデータ・ベースに入力してあるから、各外径寸法の標準実装回路基板を直に取り出せるので、ユーザーの提示した回路から混成集積回路化設計をする際、前記のデータ・ベースから複数の標準実装回路基板を取り出し、基板上に配置し、これらを電気的に配線することにより、少量生産品または試作品等を作ることができる。さらに量産時には基本的に1枚の基板からなる従来の混成集積回路の基板に変換することができる。

以上でユーザー側の作業は終了し、次にメーカー側の作業に入る。

- (4) 配線パターンおよび配線基板の作製を行う。これらの作製は、この技術分野において慣用されている方法を使用することができる。(ニ)
- (5) (ニ) で作製された基板上に、(チ)、(リ)、(ヌ) から作製した各標準実装回路基板(ル)を実装する。(ホ)
- (6) 全体の電気的特性、性能等を検査・検証する。(ヘ)
- (7) サンプルをパッケージングし、ユーザーに提供する。(ト)

前記の各標準実装回路基板の接続の仕方は、第3図に示されるように、1段の場合(a)、2段の場合(b)、3段の場合(c)、更に両面に配置する場合等がある。

前記のデータ・ベースへの入力は、第4図に示されるように、各データは、階層構造となっており、例えば1)全体外径寸法図(パターン図)、2)部分外径寸法図(パターン図または外部への

〔実施例〕

次に本発明を図面を参照しながら実施例で、更に詳細に説明するが、これは本発明の1実施態様であって、本発明はこれに限定されるものではない。

実施例

第2図は、本発明の混成集積回路化設計する際の設計手順を示したもので、予めコンピュータのデータ・ベースには、回路ブロックの電気的特性および外径寸法等に関するデータが入力されている。

まずユーザー側では、第2図において、

- (1) 全体の外径寸法を決定し(イ)、
- (2) コンピュータのデータ・ベース中の回路ブロックの中から電気的特性のうち、必要なブロックを選択する。この操作は、EWS(エンジニアリング・ワーク・ステーション)を使用して行う。(ロ)
- (3) 選択した各ブロックを前記の全体外径寸法内に配置する。(ハ)

接続パッドのみ)、3)電気的特性(入出力関係)、4)回路図、5)部品表が階層構造で表示される。

第5図は、個々の標準実装回路基板(a)によって構成された少量生産品ないし試作品の状態から量産時の1つの実装回路基板(b)に変換した状態を示す斜視図である。また、このようにして出来上がった1つの実装回路基板(b)を標準実装回路基板として取扱うこともでき、さらにこれらを組合せて回路を形成していくことができる階層構造的設計が可能である。

〔発明の効果〕

本発明では、予め標準実装回路基板を作製し、この電気的特性を測定してコンピュータのデータ・ベースに入力してあるから、以下に示す効果がある。

- 1) 混成集積回路化設計に際し、直ちに混成集積回路のプロトタイプを作ることができ、開発期間を短縮することができる
- 2) 試作品から量産化し易いので、歩留まりが向

上し、経済的である。

3) 必要な標準実装回路基板を取り出して、それらを単に組合せることで混成集積回路化設計ができ、熟練を必要としないので、ユーザー側の設計難度を軽減することができる。

4. 図面の簡単な説明

第1図は、本発明の混成集積回路化設計する際の作業工程図を示す。

第2図は、本発明の混成集積回路化設計する際の設計手順を示す。

第3図は、複数の標準実装回路基板の接続の仕方を示す断面図である。

第4図は、本発明の入力データを階層構造として示した階層構造図である。

第5図は、個々の標準実装回路基板(a)から量産時の1つの実装回路基板(b)(あるいは1つの標準実装回路基板(b))に変換したときの状態を示す斜視図である。

第6図は、従来の混成集積回路化設計する際の作業工程図を示す。

符合の説明

1・・・基板

11、12、13、2、21、22、23、31、32

・・・標準実装回路基板

4・・・ボンディングワイヤー

24、25、26・・・標準実装回路基板

231・・・部分外形寸法図並びにパターン図

232・・・電気的特性

233・・・回路図

234・・・部品表

特許出願人

三菱鉛筆セメント株式会社

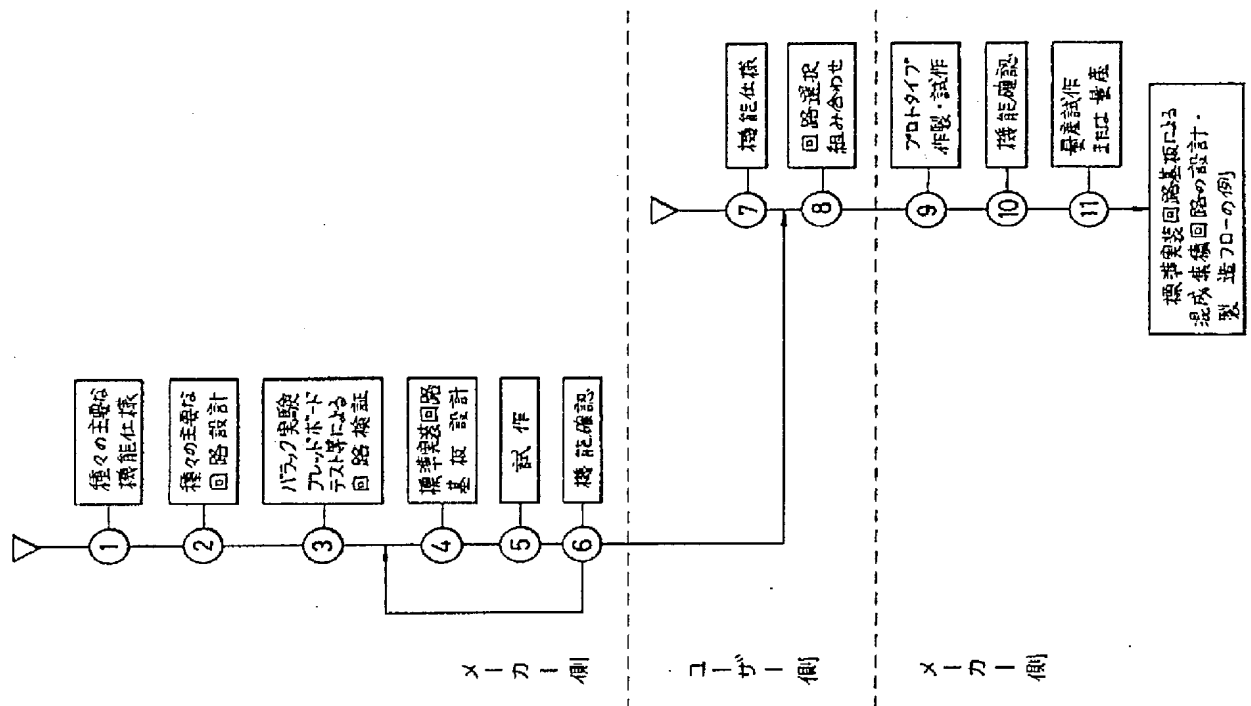
代理人弁理士

中 島 幹 雄

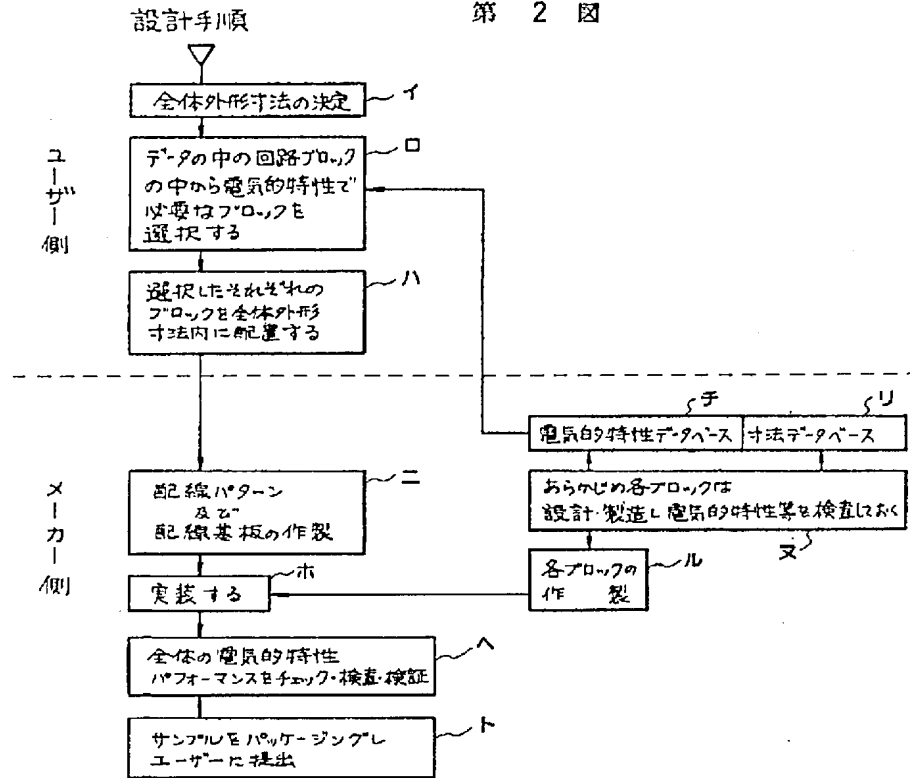
弁理士

富 安 恒 文

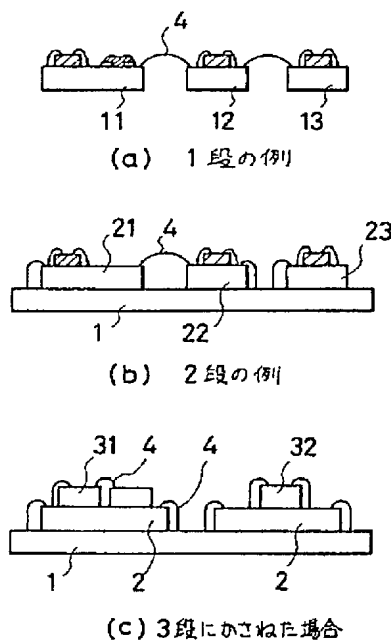
第 1 図



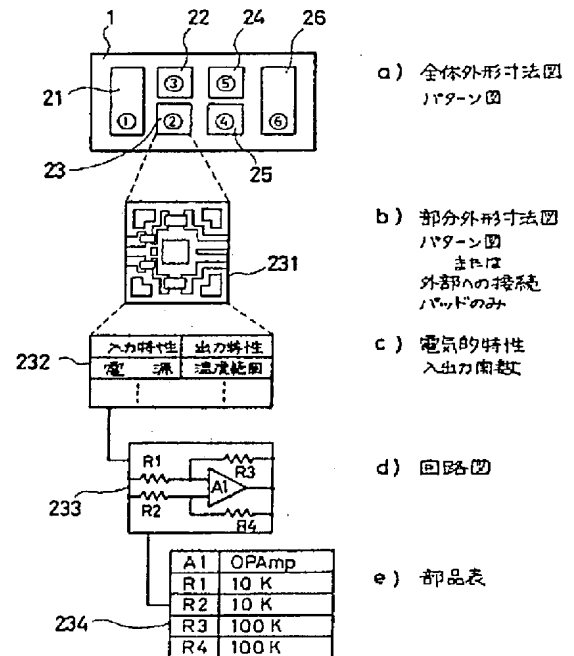
第 2 図



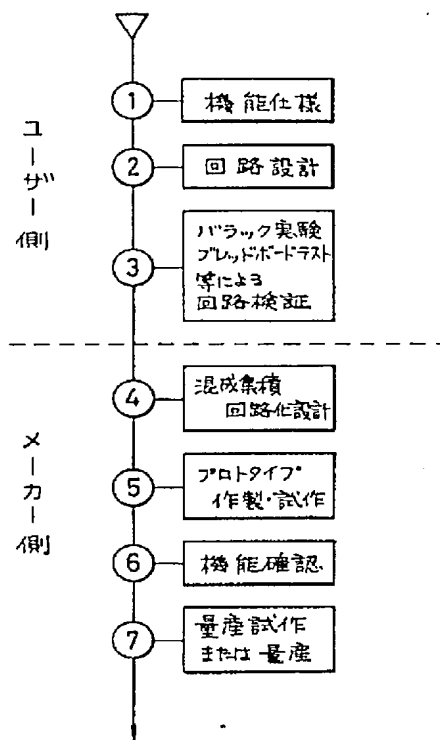
第 3 図



第 4 図



第 6 図



第 5 図

